

31.03.00

日本国特許庁 JP00/02097

EU

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 26 MAY 2000

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 3月31日

出願番号

Application Number:

平成11年特許願第094369号

出願人

Applicant (s):

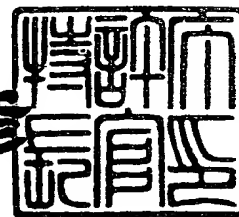
コピー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENTPRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3032588

【書類名】 特許願

【整理番号】 98-243

【提出日】 平成11年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 B41J 2/315

【発明者】

【住所又は居所】 東京都三鷹市下連雀6丁目3番3号 コピア株式会社内

【氏名】 福田 道隆

【特許出願人】

【識別番号】 000001362

【氏名又は名称】 コピア株式会社

【代理人】

【識別番号】 100091269

【弁理士】

【氏名又は名称】 半田 昌男

【手数料の表示】

【予納台帳番号】 007571

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期式シリアル通信方法及び同期式シリアル通信システム

【特許請求の範囲】

【請求項 1】 データ線とクロック線の 2 本を備え、クロック線から送られるタイミング信号と同期をとって、データをシリアルに転送する同期式シリアル通信方法において、所定の長さのシリアルデータを転送するときに、転送するデータを複数のブロックに区分し、始めにどのブロックを転送するのかを示す情報であるブロック情報を送信し、続いて前記ブロック情報によって特定されたブロックに含まれるデータを送信することによりデータの送受を行うことを特徴とする同期式シリアル通信方法。

【請求項 2】 請求項 1 記載の同期式シリアル通信方法において、今回送信するブロック情報と前回送信したときのブロック情報とを比較して、同じであるときには、前記ブロック情報を省略して対応する前記ブロックのデータを送信することを特徴とする同期式シリアル通信方法。

【請求項 3】 通信方法として、データをブロックに区分すること無く送信する通常の同期式シリアル通信方法である第 1 のモードと、請求項 1 記載の同期式シリアル通信方法である第 2 のモードとを備え、且つ、データを送信するときに、どちらのモードで送信するのかを示すモード情報を付加して送信することを特徴とする同期式シリアル通信方法。

【請求項 4】 通信方法として、データをブロックに区分すること無く送信する通常の同期式シリアル通信方法である第 1 のモードと、請求項 1 記載の同期式シリアル通信方法である第 2 のモードと、請求項 2 記載の同期式シリアル通信方法である第 3 のモードとを備え、且つ、データを送信するときに、どのモードで送信するのかを示すモード情報を付加して送信することを特徴とする同期式シリアル通信方法。

【請求項 5】 前記シリアルデータをバイト単位でブロックに区分したことを特徴とする請求項 1, 2, 3 又は 4 記載の同期式シリアル通信方法。

【請求項 6】 通信方法として、請求項 3, 4 又は 5 記載の同期式シリアル通信方法を用い、且つ送信側は、

外部デバイスから入力されるデータを格納する格納手段と、
前記入力されたデータを前記各モードで送信する場合に必要なクロック数を各モード毎に算出し、最も少ないクロック数のモードを判定する判定手段と、
前記判定手段が判断した最も少ないクロック数のモードを用いて、前記格納手段に格納されたデータを読み出して転送する出力手段と、
を具備することを特徴とする同期式シリアル通信システム。

【請求項 7】 通信方法として、請求項 3, 4 又は 5 記載の同期式シリアル通信方法を用い、且つ受信側は、

データを格納する格納手段と、
受信した前記モード情報から前記モードを解析する解析手段と、
前記解析手段が解析したモードに従って受信したデータを前記格納手段に格納する制御手段と、
を備えることを特徴とする同期式シリアル通信システム。

【請求項 8】 請求項 1, 2, 3, 4 又は 5 記載の同期式シリアル通信方法において、既に送信したデータを処理するコマンドを送信するときには、始めに、データを処理するコマンドであることを示すコマンドデータを送信し、続いて処理対象となるブロックを特定するための前記ブロック情報を送信することを特徴とする同期式シリアル通信方法。

【請求項 9】 前記コマンドとしてインバートコマンド及びビットシフトコマンドのうち少なくとも一方を備えることを特徴とする請求項 8 記載の同期式シリアル通信方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、タイミング信号に同期して、シリアルデータを送信する同期式シリアル通信方法及びその方法を用いた同期式シリアル通信システムに関するものである。

【0002】

【従来の技術】

従来から、データをシリアルに送信する方法としてシリアル通信方法が知られており、このシリアル通信方法には実に様々な態様のものが案出されている。シリアル通信方法の特徴は、伝送線の数が少なく、また極めて簡単に制御できることである。このためシリアル通信方法は、各分野の装置等において広く使用されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

しかしながら、シリアル通信方法は、データ量が多いと、データの転送に時間がかかるという問題がある。また、一度送信したデータを変更する場合、通常は、新たに全てのデータを送り直す必要があるので、送信データの内の1つのデータを変更する場合でも、新たに全てのデータと、そのデータに対応するクロック信号を送る必要があり、データの変更に時間がかかるという問題がある。

【 0 0 0 4 】

以下、サーマルインクジェット方式の画像形成装置を例に挙げて具体的に説明する。サーマルインクジェット方式の画像形成装置では、インク吐出ノズルに設けられた電気・熱変換素子に駆動パルスを加えてノズル孔内のインク流路途中に気泡を生じさせることによって得られる圧力を用いて、インク液滴の噴射を行い、これによりインク液滴を記録紙に飛翔させて、記録紙に画像を形成する。

【 0 0 0 5 】

このような画像形成装置では、エンジン部から記録ヘッド部に印字データを送るときに、シリアル通信方法を用いている。送信側であるエンジン部からは、例えば一回の印字毎に必要なデータが、受信側の格納手段に転送される。この時、シリアル通信方法では、格納手段のどの位置にどのデータを記録するかを示すために、クロック信号を用いている。格納手段が、例えばアドレス数8、各アドレスの幅が1バイトである場合、データを格納するセルが8×8で合計64個あるので、データを転送するときには、クロック線からは64個のクロック信号を送り、各クロック毎に対応するデータをデータ線から送ることにより、必要な印字データを記録ヘッド部の格納手段に転送する。したがって、この例の画像形成装置の場合、一回の印字データを転送するのに、最低64個のクロック数を必要と

する。したがって、例えばカラーの画像形成装置のように、4つのヘッドを有する場合、一度に転送する印字データの量が多くなり、これに従ってクロック数が多くなり、データの転送に時間がかかるという問題がある。

【0006】

また、インクジェット記録方法は、ヘッドの温度によって噴射されるインク液滴量が異なるという問題がある。このため、各ノズル毎にノズルの温度を検出する温度検知センサを設け、ノズルの温度によって素子に加える駆動パルスの幅を変更するフィードバック制御を行っている。したがって、既にエンジン部から記録ヘッド部に送ったデータのうち、温度検知センサからの検知信号に応じて、あるノズルを駆動する駆動パルスの幅だけを、変更する旨のデータを転送する必要が生ずる。すなわち、画像形成が開始されて、あるヘッドの温度が上昇すると、前回送った印字データのうち、そのヘッドの駆動パルスの幅だけ狭くなるように変更する必要が生ずる。従来の画像形成装置では、受信側の格納手段のセル数が上記の例のように64個の場合、変更するデータの位置を指示するために、クロック線から64個のクロックを送り、変更したいセルに対応するクロックに同期させて変更するデータを送っている。このように、従来のシリアル通信方法では、64個あるデータのうちただ一個のデータを変更するときでも、64個のデータを転送するときと同じ、64個のクロックを送る必要があるので、データの変更に時間がかかり過ぎるという問題がある。

【0007】

本発明は上記事情に基づいてなされたものであり、シリアルデータの転送速度を速めることができる同期式シリアル通信方法及び同期式シリアル通信システムを提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成するために本発明に係る同期式シリアル通信方法は、データ線とクロック線の2本を備え、クロック線から送られるタイミング信号と同期をとって、データをシリアルに転送する同期式シリアル通信方法において、所定の長さのシリアルデータを転送するときに、転送するデータを複数のブロックに区分

し、始めにどのブロックを転送するのかわかる情報であるブロック情報を送信し、続いて前記ブロック情報によって特定されたブロックに含まれるデータを送信することによりデータの送受を行うことを特徴とするもの（第3のモード）である。

【0009】

また、今回送信するブロック情報と前回送信したときのブロック情報とを比較して、同じであるときには、前記ブロック情報を省略して対応する前記ブロックのデータを送信することを特徴とするもの（第2のモード）であることが望ましい。

【0010】

また、通信方法として、データをブロックに区分すること無く送信する通常の同期式シリアル通信方法である第1のモードと、上記の第2のモードと、上記の第3のモードとを備え、且つ、データを送信するときに、どのモードで送信するのかわかるモード情報を付加して送信することが望ましい。

【0011】

【発明の実施の形態】

【第1実施形態】

【構成】 以下に、本発明の第1実施形態について図面を用いて説明する。図1は、本発明をサーマルインクジェット方式の画像形成装置に用いた場合の概略構成図である。図1のサーマルインクジェット方式の画像形成装置100は、CPU111と送信コントローラ112とを有するエンジン部11と、受信コントローラ113と印字ヘッド114とを有する記録ヘッド部12とを備える。送信コントローラ112は、CPU111とバスによって接続され、CPU111からデータが書き込まれたり、CPUから通信開始の指令等を受信する。送信コントローラ112は、CPU111からの通信開始の指令を受けると、後述する通信モードの中から送信時間が最も短くなる通信モードを判定し、判定した通信モードの情報を送信データに付加して受信コントローラ113にシリアル送信する。本装置では、送信コントローラ112と受信コントローラ113との間のデータ転送に同期式シリアル通信方法を用いている。送信されるデータs112はデー

タ線を介して、クロック線により送られるクロック s 1 1 3 と同期を取って送られる。

【0012】

〔通信モード〕 本実施形態の送信コントローラと受信コントローラの間のシリアル通信には、フルモードとブロックモードとバーストモードの3つの通信モードがある。フルモードは、転送するデータをシリアル信号に同期させて送る通常の同期式シリアル通信を行うモードである。ブロックモードは、所定の長さのシリアルデータを転送するときに、転送するデータを複数のブロックに区分し、始めにどのブロックを転送するのかわかる情報であるブロック情報を送信し、続いてそのブロック情報によって特定されたブロックに含まれるデータを送信することによりデータを送受するモードである。バーストモードは、今回送信するブロック情報と前回送信したときのブロック情報とを比較して、同じであるときには、ブロック情報を省略して、送信するブロックのデータを送信するモードである。送信コントローラは、CPUから送られていくデータに対して、どのモードで送信するのかわかる情報であるモード情報を付加して、そのデータを受信コントローラに転送する。

【0013】

図2は、上記の3つの通信モードを説明するための図である。同図(a)はフルモードでデータを転送する場合のパターンを示す図、同図(b)はブロックモードでデータを転送する場合のパターンを示す図、同図(c)はバーストモードでデータを転送する場合のパターンを示す図である。各図において、SDはデータを、SCはクロックを示す。また、クロックの左端のビットは、スタートビットである。スタートビットを設けたのは、ノイズで誤動作することがないようにするためである。スタートビットが送られてきたときに、データがハイであれば、これからデータの送信が始まるという合図である。2ビット目及び3ビット目は通信モードを設定するためのモード情報を示すビットである。2ビット目と3ビット目のデータが共に0であれば、通信モードは、図2(a)に示すフルモードであり、2ビット目に対応するデータが0で3ビット目に対応するデータが1であれば、通信モードは、図2(b)に示すブロックモードであり、2ビット目

に対応するデータが1で3ビット目に対応するデータが0であれば、通信モードは、図2(c)に示すバーストモードとなる。次に、各モードの通信の仕方について、図3を参照して説明する。図3は受信コントローラが受信したデータを格納するためのデータレジスタを示す概略図である。同図において丸付き数字はアドレスを示し、したがって本データレジスタのアドレス数は8である。各アドレスには1バイトのデータを格納することができる。したがって、同図に示すデータレジスタには8×8、合計64ビットのデータを格納することができる。

今、送信コントローラがフルモードでデータを受信コントローラに転送するときには、スタートビットに対応するデータを1にし、2ビット目及び3ビット目に対応するデータを共に0に設定し、続いて64個のクロックに対応させて64個のデータを最上位データビットから最下位データビットまで順に送信する。受信コントローラが図2(a)に示すデータを受信すると、スタートビットの次に送られてくる2ビット目及び3ビット目に対応するデータが共に0であることから、受信コントローラは転送されたデータがフルモードで送られてきたデータであると判断する。そして、5ビット目以降に、対応する各データを、図3に示すようにして各アドレスに8ビットづつ順次データレジスタに格納する。したがって、フルモードの場合はデータを転送するのに、68ビット、すなわち34個のクロックを要する。

【0014】

送信コントローラがブロックモードでデータを転送するときには、スタートビットに対応するデータを1にし、2ビット目及び3ビット目に対応するデータをそれぞれ0と1に設定する。続いて5ビット目から12ビット目を用いて、転送するブロックを示すブロック情報を最上位ブロックから最下位ブロックまで設定する。その後、設定されたブロックのデータを上位ビットから順に8ビット分づつ順に送る。図2(b)の場合、9ビット目と12ビット目が1に設定されているので、第3ブロック(データ31～24ビット)と、第0ブロック(データ7～0ビット)のデータを変更する旨の設定が行われたことを示している。なお、図2(b)では、変更するデータとして0Fhex(16進データ)を書き込む場合を示している。受信コントローラが同図(b)に示すデータを受信とすると

、スタートビットの次に送られてくる2ビット目及び3ビット目に対応するデータが0と1であることから、転送されたデータがブロックモードで送られてきたデータであると判断する。そして、5ビット目から12ビット目までに対応するデータがブロック（アドレス）を示すデータ（ブロック情報）であると理解する。図2（b）に示すブロックモードの場合、ブロック3、及びブロック0のデータが変更され、他のブロックのデータは前回送られたデータと同じであることを示している。ブロックモードのときは、13ビット目から変更されるブロックのデータが8ビットずつ送られる。同図（b）の場合は2ブロック分合計16ビットのデータが送られる。したがって、同図（b）に示すブロックモードのデータを送るときは、総ビット数は28個、クロックで言うと14個のクロック数を要する。同図（b）のデータをフルモードで送ると、同図（a）の場合と同様に34クロック必要となるので、ブロックモードで送ることにより、20個分のクロックを節約することができる。したがって、同図（b）に示すデータの場合、ブロックモードで送ることにより、従来の方法で送信する場合に比べて、20個分のクロック数分だけ転送速度が速くなる。

【0015】

次に、送信コントローラがバーストモードでデータを転送するときには、スタートビットに対応するデータを1にし、2ビット目及び3ビット目に対応するデータをそれぞれ1と0に設定する。続いて5ビット目から8ビットずつ変更するブロックのデータを上位から順に転送する。同図（c）は、前回転送した第6ブロック（データ55ビット～48ビット）のデータのみを今回の0Fhexデータに変更することを示している。受信コントローラが同図（c）に示すデータを受信すると、スタートビットの次に送られてくる2ビット目及び3ビット目に対応するデータが1と0であることから、転送されたデータがバーストモードで送られてきたデータであると判断する。そして、5ビット目から8ビットずつ送られてくるデータを前回の送信で指定されたブロックに書き込む。同図（c）は、前回転送した第6ブロックのデータを変更する8ビットのデータを受信する場合を示している。この場合は、総クロック数は6で済む。したがって、バーストモードを用いてデータを変更することにより、従来のフルモード送る場合に比べ

て、28個のクロックを節約することができ、28個のクロック数分だけ、従来の方法より転送速度が速くなる。

【0016】

〔送信コントローラの構成〕次に、送信コントローラについて図4を参照して説明する。図4は、送信コントローラのブロック図である。送信コントローラは、CPUから送られてきたアドレスをデコードして送られてきたデータを書き込む位置を決めるアドレスデコード部121と、CPUから送られたデータをアドレスデコード部121によって指示された位置に一時的に格納するデータレジスタ部122と、今回新たに書き換えられたブロックの情報を記憶するメモリである新ブロック用メモリ124と、前回書き換えられたブロックの情報を記憶するメモリである旧ブロック用メモリ125と、今回のブロック情報と前回のブロック情報とを比較して同じか否かを判断すると共に、各モードでデータを転送した場合のクロック数を算出するブロック比較・算出部126と、ブロック比較・算出部126からの比較・算出結果信号を受けて、今回のデータをどのモードで転送するかを判定する判定部127と、データレジスタ部122に格納されたデータを判定部127が判定したモードに従って受信コントローラに転送する出力回路部128と、新ブロック用メモリ、旧ブロック用メモリ、ブロック比較・算出部、出力回路部等の動作を制御するコントロール部123とを備える。

【0017】

〔送信コントローラの動作〕CPU111は、外部のパーソナルコンピュータ等から送られるデータに基づいて、チップセレクト信号s121、書き込み信号s123、アドレスb122及びデータs125を送信コントローラ112に送出する。送信コントローラでは、アドレスデコード部121がCPUから送られたアドレスを解析してデータレジスタ部122にデータを書き込む位置を指示するイネーブル信号s124を発行する。なお、このイネーブル信号は8ビットのバスになっており、書き込みたいデータレジスタ部のアドレスに対応するビットの信号を1にすることにより、そのアドレスが選択されデータを書き換えることが可能となる。また、アドレスデコード部121は、CPUから送られたアドレスb123に基づいて、今回どのブロックのデータが書き込まれたかを示す情報

s 1 2 7 を新ブロック用メモリに送出する。更に、アドレスデコード部 1 2 2 は、CPUからのデータ送信開始の信号を受けると、コントロール部 1 2 3 にスタートトリガ信号 s 1 2 6 を送る。コントロール部 1 2 3 は、スタートトリガ信号 s 1 2 6 を受けると、今回新たに書き込まれたブロックの情報を記憶する新ブロック用メモリ 1 2 4 に記憶されているブロック情報 s 1 2 8 と前回書き込まれたブロックの情報を記憶する旧ブロック用メモリ 1 2 5 に記憶されたブロック情報 s 1 2 9 との比較、及び各モードでデータを転送した場合のクロック数の算出、を指示する指令信号 s 1 3 0 を発行してブロック比較・算出部に送出する。ブロック比較・算出部は、コントロール部からの指令信号 s 1 3 0 を受けると、s 1 2 8 と s 1 2 9 の比較を行い、一致していた場合には、ステータス信号 s 1 3 1 を判定部に送出する。また、ブロック比較・算出部は、バーストモードで送信した場合のクロック数 s 1 3 2 と、ブロックモードで送信した場合のクロック数 s 1 3 3 とを算出して判定部に送出する。

【0018】

判定部 1 2 7 は、ステータス信号 s 1 3 1 を受けた場合、すなわち、今回送信するブロックが前回送信したブロックと一致している場合には、s 1 3 2 の値と s 1 3 3 の値のうち少ない方のモードを採用するのか（すなわちブロックモードとバーストモードのどちらを採用するのか）、あるいはデータレジスタ 1 2 2 に格納されているデータを全て送るフルモードで送るのかを判定する。また、ステータス信号 s 1 3 1 を受けていない場合、すなわち、今回送信するブロックと前回送信したブロックとが一致していない場合には、ブロックモードで送るのか、フルモードで送るのかを判定する。判定部が判定した結果は、モード情報 s 1 3 4 として出力回路部 1 2 8 に送られる。

【0019】

出力回路部 1 2 8 は、モード情報 s 1 3 4 と、今回入力されたブロック情報 s 1 2 8 と、データレジスタ 1 2 2 のレジスタ値 s 1 3 5 をもとに、コントロール部 1 2 3 から出力される出力回路トリガ s 1 3 6 を受けて、モード情報に応じたフォーマットで順次シリアルデータ s 1 3 7 とクロック s 1 3 8 を受信コントローラに出力する。また、出力回路部 1 2 8 は、出力終了後、すみやかに出力終了

信号 s 1 3 9 をコントロール部 1 2 3 に通知する。コントロール部 1 2 3 は、出力終了信号 s 1 3 9 を受けると、新ブロック用メモリ 1 2 4 のブロック情報 s 1 2 8 を旧ブロック用メモリ 1 2 5 に移すべくライトイネーブル s 1 4 0 を発行して旧ブロック用メモリに送る。その後、新ブロック用メモリ 1 2 4 の値をクリアする信号 s 1 4 2 を発行する。以上で、送信コントローラ部の一連の動作は全て終了する。

【0020】

〔ブロック比較・算出部の動作〕図 5 は、ブロック比較・算出部 1 2 6 の処理フローを示す図である。ステップ 1 0 で、ブロック比較・算出部 1 2 6 がコントロール部 1 2 6 からの比較・算出を指示する指令信号 s 1 3 0 を受けたか否かを判断し、指令信号 s 1 3 0 を受けていれば、ステップ 1 1 に移行して、前回のブロック情報 s 1 2 9 と今回のブロック情報 s 1 2 8 との比較を行い、同一である場合には、ステップ 1 2 で該当ブロック数を 4 倍して 2（モード設定等のクロック数）を足すことにより、バーストモードのクロック数を算出する。ステップ 1 3 では、今回のデータがバーストモードで転送可能であることを示す一致フラグ s 1 3 1 を立てる。一方、前回のブロック情報 s 1 2 9 と今回のブロック情報 s 1 2 8 とが異なっている場合には、ステップ 1 4 に移行して、該当ブロック数を 4 倍して 2（モード設定等のクロック数）を足し、更にブロック情報分のクロック数を足すことにより、ブロックモードでデータを転送する場合のクロック数を算出する。このようにして各モードで送信する場合のクロック数を算出する。尚、フルモードでデータを転送するときのクロック数は 3 4 となるので、このモードでデータを転送するときには、その都度クロックを算出する必要はない。

【0021】

〔判定部の動作〕図 6 は、判定部 1 2 7 の処理フローを示す図である。ステップ 2 0 で、ブロック比較・算出部 1 2 6 の一致フラグ s 1 3 1 が立っているか否かを判断し、一致フラグが立っていれば、ステップ 2 1 に移行し、s 1 3 2 の値と s 1 3 3 の値のうち少ない方のモードを採用するのか（すなわちブロックモードとバーストモードのどちらを採用するのか）、あるいはデータレジスタ 1 2 2 に格納されているデータを全て送るフルモードで送るのかを判定する。一致フラ

グが立っていない場合には、ステップ 22 に移行して、ブロック比較・算出部 126 で算出されたブロックモードでデータを送る場合のクロック数 s133 と、フルモードでデータを送る場合のクロック数を比較し、フルモードのクロック数の方が少ない場合は、ステップ 24 でモード情報としてフルモードでデータを転送する旨の信号 s134 (“00”) を出力回路部に通知する。一方、ブロックモードのクロック数の方が少ないときには、ステップ 23 に移行して、モード情報としてブロックモードでデータを転送する旨の信号 s134 (“01”) を出力回路部に通知する。

【0022】

〔コントロール部の動作〕図 7 は、コントロール部 123 の動作タイミングを示す図である。コントロール部 123 は、アドレスデコード部 121 が発するスタートトリガ信号 s126 を受けると、先ずブロック比較・算出部に比較・算出を指示する旨の指令信号 s130 を発行し、次に出力回路部に出力を指示する出力トリガ s136 を発行する。その後、出力回路部からの出力を終了した旨の信号である出力終了信号 s139 を受けて、新ブロック用メモリのブロック情報を旧ブロック用メモリに移すイネーブル信号 s140 を旧ブロック用メモリに送り、次に新ブロックデータをリセットする信号 s142 を新ブロック用メモリに送る。

【0023】

〔出力回路部の動作〕図 8 は出力回路部 128 の動作フローを示す図である。ステップ 30 でコントロール部からの出力トリガ s136 を受信したと判断すると、判定部から送られてくるモード情報 s134 をデコードしてモード情報 s134 に応じてデータを転送する。すなわち、ステップ 31 では、モード情報 s134 が “00” であるか否かを判断し、“00” あれば、ステップ 32 に移行して、データレジスタ部 122 に格納されているデータを図 2 (a) に示すフルモードで受信コントローラに転送する。ステップ 31 での判断で、s134 が “00” でないと判断したときには、ステップ 33 に移行して、s134 が “01” であるか否かを判断する。s134 が “01” であるときには、ステップ 34 に移行して、データを図 2 (b) に示すブロックモードで受信コントローラに転送

する。ステップ 33 での判断で s_{134} が “01” でないと判断したときには、ステップ 35 に移行して、データを図 2 (c) に示すバーストモードで受信コントローラに転送する。

【0024】

〔送信側のタイミングチャート〕図 9 は送信コントローラのタイミングチャートである。図 9 では、ブロック 2 にバーストモードで $F0hex$ を書き込む場合を示している。CPU からアドレスデコード部にチップセレクト信号 s_{121} と書き込み信号 s_{123} とが送られ、同時にアドレス 2 番地を示すアドレス s_{122} が送られ、データレジスタ部に $F0hex$ のデータ s_{125} が書き込まれる。これにより、図 9 の s_{135} は、データレジスタ部のブロック 2 に $F0hex$ のデータが格納されていることを示している。また、アドレスデコード部は今回書き換えられたブロックの情報を新ブロック用メモリに書き込む。これを受けて、新ブロック用メモリの信号 s_{128} は、データレジスタ部のアドレス 2 (ブロック 2) が書き換えられたことを示すためにアドレスの 2 番地がハイにラッチされる。また、図 9 は、バースモードでデータを送る場合であるので、旧ブロック用メモリのデータ s_{129} も s_{128} と同様にアドレスの 2 番地がハイにラッチされている。更に、バーストモードであるので、今回のブロック情報と前回のブロック情報とが同じあることを示す信号 s_{131} もハイになっている。次に、CPU はアドレスデコード部に 8 番地のアドレス s_{122} を送って、 $00hex$ のデータ s_{125} を書き込む。このアドレスの 8 番地は転送するデータではなく、コマンドデータである。8 番地にデータがあれば、アドレスデコード部は、CPU が送信開始コマンドを送出したと解釈する。 s_{125} のデータに $00hex$ が入っているが、このデータは特別に意味を持つものではない。アドレスデコーダはこの送信開始コマンドを受けると、スタートトリガ信号 s_{126} を発行してコントロール部に送る。コントロール部は、このスタートトリガ信号 s_{126} を受けると、まず、比較・算出トリガ s_{130} をブロック比較・算出部に送る。次に、出力トリガ s_{136} を出力回路部に送出する。ブロック比較・算出部は、比較・算出トリガ s_{130} を受けると、 s_{128} と s_{129} の比較を行い、一致している場合には、一致フラグ s_{131} を立て、またバーストモードでデータを送ると

きのデータ数 s 1 3 2 及びブロックモードで送信するときのデータ数 s 1 3 3 を算出する。今、バーストモードでデータを送信するので、図 9 のデータ数 s 1 3 2 は 10 進数の 6 (6D) であることを示している。判定部 1 2 7 は、s 1 3 1、s 1 3 2 及び s 1 3 3 (不図示) の情報からモード情報 s 1 3 4 を発行する。この場合は、バーストモードであるので、図 9 のモード情報 s 1 3 4 はバイナリデータの“10”となっている。また、出力回路部 1 2 7 は、コントロール部 1 2 3 からの出力トリガ s 1 3 6 を受けて、データレジスタに格納されたデータ s 1 3 5 を読み出して、モード情報 s 1 3 4 に従って、転送するためのデータ s 1 3 7 とクロック s 1 3 8 とを出力する。このとき、始めの 2 クロックは初期設定のための情報を付加し、後ろの 4 クロックで、この例ではブロック 2 (データ 23 ビット～16 ビット) のデータを送信している。データの転送が終了すると、出力回路部は出力終了信号 s 1 3 9 をコントロール部 1 2 3 に通知する。コントロール部は、この信号 s 1 3 9 を受けると、新ブロック用メモリ 1 2 4 のブロック情報を旧ブロック用メモリ 1 2 5 に移すべくライトイネーブル信号 s 1 4 0 を発行し、その後、新ブロック用メモリの値をクリアする信号 s 1 4 2 を発行する。以上で、一連の送信動作が終了する。

【0025】

【受信コントローラの構成】図 10 は受信コントローラのブロック図である。受信コントローラは、転送されたデータ s 1 3 7 及びクロック s 1 3 8 の情報をデコードするデコード部 1 5 0 と、転送されたブロック情報を記憶するブロックデータ用メモリ 1 5 1 と、転送されたデータを格納するデータレジスタ部 1 5 3 と、モード情報 s 1 5 2 とブロック情報 s 1 5 1 とクロック s 1 3 8 を元にして転送されたデータをデータレジスタ部 1 5 3 のどの位置に格納するかというイネーブル信号を出力するデータレジスタコントロール部 1 5 2 とを備える。

【0026】

【受信コントローラの動作】図 11 は受信コントローラの動作フローを示す図である。ステップ 40 では、デコード部 1 5 0 がスタートビットのデータが“1”を検出すると受信モードに入る。ステップ 41 では、2 ビット目のデータが“1”であるか否かを判断する。2 ビット目のデータが“1”であれば、ステップ 42

に移行して、バーストモードの処理、すなわち前回のブロック情報を参照してデータレジスタの該当ブロックにデータを順に格納する。2ビット目のデータが“1”でなければ、ステップ43に移行して3ビット目のデータが“1”であるかを判断する。3ビット目のデータが“1”であれば、ステップ44に移行して、ブロックモードの処理、すなわち続いて送られてくる信号に基づいて、各ブロック毎に書き込むかどうかのブロック情報をブロック用メモリに保管する。次に、ブロック用メモリに保管したブロック情報を参照して上位ブロックからデータを順にデータレジスタ部に格納する。ステップ43で3ビット目のデータが“1”でないと判断したときには、ステップ46に移行して、フルモードの処理、すなわち入力されるデータを全て最上位から順に格納する。次に、ステップ47で、全ブロックのデータを書き込んだ旨のブロック情報をブロック用メモリに記憶する。

【0027】

図12は受信コントローラのタイミングチャートである。図12では、バーストモードでブロック2にF0hexデータを書き込む場合を示している。バーストモードであるので、前回のブロック情報がブロックデータ用メモリ151に記憶されている。s151はこのことを示す信号であり、ブロック2がハイにラッチされていることを示している。このs151により、受信したデータをどのブロックに格納すれば良いかが分かる。スタートビットに続く2ビット目及び3ビット目のデータから、今回の送信モードがバーストモードであると判断し、s152にバーストモードであることを示すデータである“10”を設定して、データレジスタコントロール部152に送出する。データレジスタコントロール部152は、このモード情報s152と、ブロック情報s151に基づき、5ビット目以降に送られてくるデータを所定のアドレスに記憶するための選択信号であるイネーブル信号s153を生成してデータレジスタ部153に送り、5ビット目以降のデータをデータレジスタ部に格納する。このデータレジスタ部153に格納されたデータが印刷データとして印字ヘッドに送られる。

【0028】

〔第2実施形態〕

〔構成〕次に、本発明の第2実施形態について図面を用いて説明する。図13は、第2実施形態であるサーマルインクジェット方式の画像形成装置における送信コントローラのブロック図である。図13に示す第2実施形態の送信コントローラが図4に示す第1実施形態の送信コントローラと異なるのは、アドレスデコード部がインバートトリガs201と、シフトトリガs202と、サイドデータs203とを生成して出力する点である。その他の点は、第1の実施形態と同様である。したがって、第1の実施形態のものと同一の機能を有するものには、同一の符号を付することにより、その詳細な説明を省略する。また、第1実施形態に示すものと同一のものは説明を省略する。インバートトリガs201は既に受信側に送ったデータを反転する処理を行わせるための命令である。シフトトリガs202は既に受信側に送ったデータをビットシフトさせる処理を行わせるための命令である。サイドデータs203はビットシフトしたときのビット端部に格納するデータを示すものである。これらのデータs201、s202、s203は、CPUから送られるアドレスをデコードして認識する。例えば、アドレスの9番地をs201に、アドレスの10番地をs202に、アドレスの11番地をs203とするように、予め取り決めておく。

【0029】

〔動作〕今、送信コントローラがCPUからブロック1とブロック0のデータを反転する旨の命令を受信すると、アドレスデコード部121は、このコマンドをデコードして、新ブロック用メモリにブロック1とブロック0を書き換える旨のブロック情報を記憶させる。また、アドレスデコード部121は、インバートトリガs201を生成して出力回路部128に送る。出力回路部128は、このインバートトリガs201を受けると、信号s128により書き換えるブロックがブロック1とブロック0であることを認識し、インバートトリガと反転するブロックを示す情報を受信側に送信する。図14は、インバートトリガs201を送信するときのタイミングチャートである。アドレスデコード部121がインバートトリガs201をコントロール部123と出力回路部128に送ると、コントロール部123は、出力トリガs136を出力回路部128に送る。出力回路部128は、出力トリガs136を受けると、クロックに同期させて、ブロック

1とブロック0のデータをインバートする旨の情報を受信側に送る。すなわち、スタートビットに対応するデータを1にし、2ビット目及び3ビット目に対応するデータをそれぞれ1に設定する。これは、これから送信するデータがコマンドであることを示すものである。また、4ビット目に対応するデータを0にしてインバート処理を行う旨の設定する。5ビット目から12ビット目までがブロック情報を設定する部分であり、ここでは11ビット目と12ビット目に対応するデータが1に設定されている。

【0030】

次に、図15を参照して、送信コントローラがCPUからブロック1のデータを右(下位側)にビットシフトし、またシフトしたブロック1の最上位ビットを0とする命令を受けた場合の処理について説明する。図15はシフトトリガs202を送信するときのタイミングチャートである。送信コントローラがこの命令を受信すると、アドレスデコード部121がシフトトリガs202をコントロール部123と出力回路部128に送る。コントロール部123は、このビットシフトs201を受けると、出力トリガs136を出力回路部128に送る。出力回路部128は、出力トリガs136を受けると、クロックに同期させて、ブロック1のデータをビットシフトする旨の情報を受信側に送る。すなわち、スタートビットに対応するデータを1にし、2ビット目及び3ビット目に対応するデータをそれぞれ1に設定する。また、4ビット目に対応するデータを1にしてビットシフト処理を行う旨の設定する。5ビット目に対応するデータを0に設定して右シフトする設定を行い、6ビット目に対応するデータを0に設定して端部ビットを0に設定する。7ビット目から14ビット目までがブロック情報を設定する部分であり、ここでは13ビット目に対応するデータが1に設定されている。

【0031】

図16は、受信側のシリアルコントローラのフロー図である。図11に示す第1実施形態における受信側のシリアルコントローラのフロー図とは、ステップ40～47は同じであり、ステップ51以降の処理が異なる。したがって、ここでは、ステップ40～47の処理についての説明は省略し、ステップ51以降の処理について説明する。ステップ41の判断で2ビット目のデータが1であるとき

には、ステップ 5 1 に移行し、3 ビット目のデータが 1 であるか否かを判断する。3 ビット目のデータが 1 でないときには、ステップ 4 2 に移行して、第 1 実施形態のステップ 4 2 と同様な処理を行う。ステップ 5 1 での判断で、3 ビット目のデータが 1 であると判断したときには、ステップ 5 2 に移行して、4 ビット目のデータが 1 であるか否かを判断する。4 ビット目のデータが 1 でなければ、ステップ 5 3 に移行して指定されたブロックのデータをインバートする。一方、4 ビット目のデータが 1 であるときには、ステップ 5 4 に移行して、5 ビット目のデータが 1 であるか否かを判断する。5 ビット目のデータが 1 であるときには、ステップ 5 5 に移行して 6 ビット目が 1 であるか否かを判断する。6 ビット目のデータが 1 でないときには、ステップ 5 6 に移行して指定されたブロックのデータを左シフトし、最下位ビットを 0 に設定する。また、6 ビット目のデータが 1 であるときには、ステップ 5 7 に移行して指定されたブロックのデータを左シフトし、最下位ビットを 1 に設定する。ステップ 5 4 での 5 ビット目のデータが 1 でないときには、ステップ 6 0 に移行して 6 ビット目のデータが 1 であるか否かを判断する。6 ビット目のデータが 1 であれば、ステップ 6 1 に移行して指定されたブロックのデータを右シフトし、最上位ビットを 1 に設定する。6 ビット目のデータが 1 でなければ、ステップ 6 2 に移行して、指定されたブロックのデータを右シフトし、最上位ビットを 0 に設定する。

【0 0 3 2】

上記のインバートコマンドやシフトコマンドを用いることにより、これらのコマンドとブロック情報を送るだけで、受信側の所定のブロックのデータをインバートしたり、シフトすることができるので、第 1 実施形態の各モードでデータを転送する場合に比べて、更に速くデータを転送することができる。

【0 0 3 3】

【実施形態の効果】上記の本実施形態によれば、外部のパーソナルコンピュータ等から書き込まれたデータを元に、自動的に、3 つの通信モードから送信時間が最も短いモードをハード回路で自動選択して、データを転送することができる。受信側では、データに付加されたモード情報に基づいて、転送されたデータをレジスタに格納する。これにより書き込む側は、シリアル通信速度を意識せずに

、シリアル通信時間を短縮することができる。また、既に送信したデータに対して、ビットをシフトするときや、ビットを反転するときには、シフトコマンドやインバートコマンドを用いることにより、ブロック情報に本コマンドを付加するだけで、シフト処理やインバート処理を行うことができるので、データ単位でビットシフトやビット反転を書き込む必要がなく、したがって、シリアル通信時間を更に短縮することができる。

【0034】

〔他の実施形態〕なお、本発明は、上記の実施形態に限定されるものではなく、その要旨の範囲内において種々の変形が可能である。例えば、上記の実施形態では、1ブロックが8ビットの場合について説明したが、1ブロックは16ビットでも32ビット等であってもよい。また、上記の実施形態では、本発明を画像形成装置に使用した場合について説明したが、本発明はこれに限られるものではなく、例えば、通信回線を使用した一般の通信に本発明を用いることも可能である。

【0035】

【発明の効果】

以上説明したように本発明によれば、同期式シリアル通信方法において、転送するシリアルデータを複数のブロックに区分し、始めにブロック情報を送信し、続いてそのブロック情報に含まれるデータを転送することにより、従来の通信方法に比べて、転送時間の短縮を図ることができる。

【0036】

また、通信方法として、第1のモードと、第2のモードと、第3のモードとを備えることにより、転送するデータに応じて、最も速く転送できるモードを選んで転送することができる。

【0037】

更に、既に転送したデータを処理するコマンドと、ブロック情報とを送信して、既に転送したブロックのデータを処理することにより、更に転送時間を短縮することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態であるサーマルインクジェット方式の画像形成装置の概略構成図である。

【図 2】 3 つの通信モードを説明するための図である。

【図 3】 受信コントローラが受信したデータを格納するためのデータレジスタを示す概略図である。

【図 4】 送信コントローラのブロック図である。

【図 5】 ブロック比較・算出部の処理フローを示す図である。

【図 6】 判定部の処理フローを示す図である。

【図 7】 コントロール部の動作タイミングを示す図である。

【図 8】 出力回路部の動作フローを示す図である。

【図 9】 送信コントローラのタイミングチャートである。

【図 1 0】 受信コントローラのブロック図である。

【図 1 1】 受信コントローラの動作フローを示す図である。

【図 1 2】 受信コントローラのタイミングチャート図である。

【図 1 3】 第 2 実施形態の送信コントローラのブロック図である。

【図 1 4】 インバートコマンドを送信するときのタイミングチャートである。

【図 1 5】 ビットシフトコマンドを送信するときのタイミングチャートである。

【図 1 6】 第 2 実施形態の受信コントローラの動作フローを示す図である。

【符号の説明】

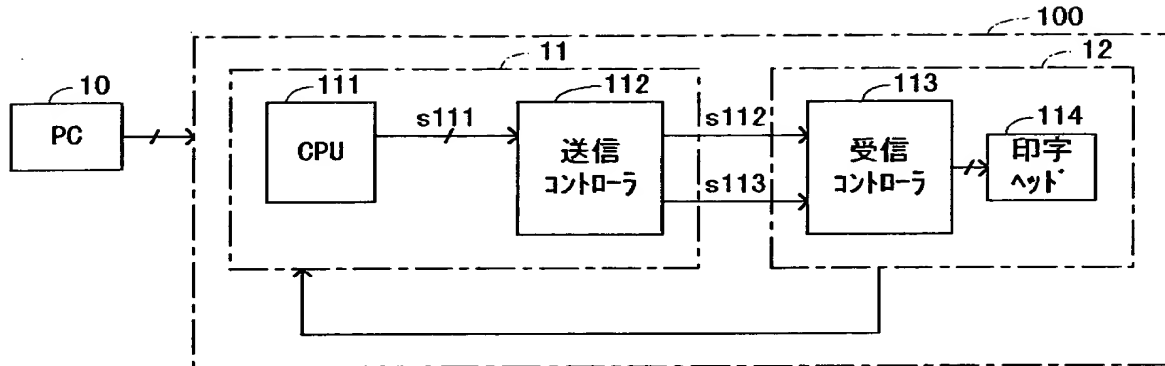
- 1 0 パーソナルコンピュータ
- 1 1 エンジン部
- 1 2 記録ヘッド部
- 1 0 0 サーマルインクジェット方式の画像形成装置
- 1 1 1 CPU
- 1 1 2 送信コントローラ
- 1 1 3 受信コントローラ

- 1 1 4 印字ヘッド
- 1 2 1 アドレスデコード部
- 1 2 2 データレジスタ部
- 1 2 3 コントロール部
- 1 2 4 新ブロック用メモリ
- 1 2 5 旧ブロック用メモリ
- 1 2 6 ブロック比較・算出部
- 1 2 7 判定部
- 1 2 8 出力回路部
- 1 5 0 デコード部
- 1 5 1 ブロック用メモリ
- 1 5 2 データレジスタコントロール部
- 1 5 3 データレジスタ部

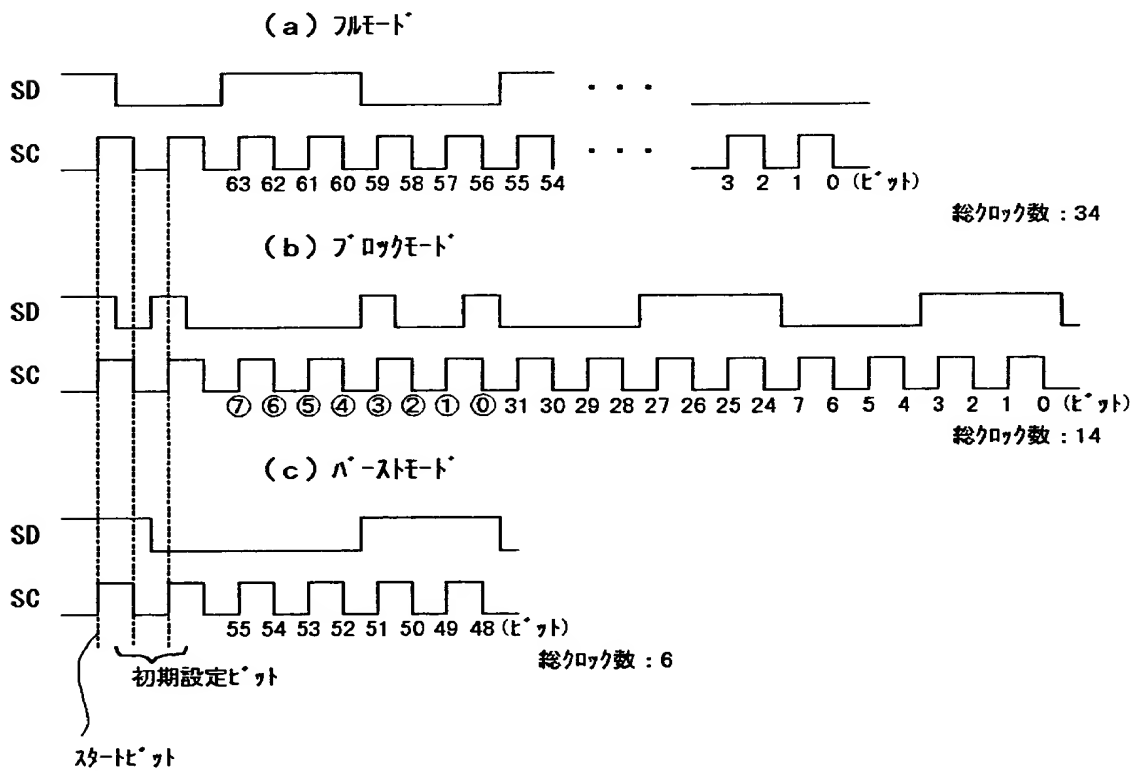
【書類名】

図面

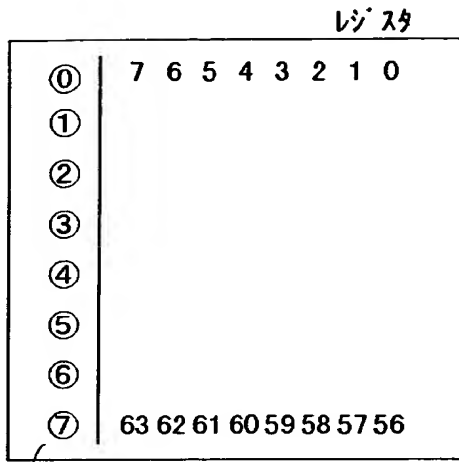
【図 1】



【図 2】

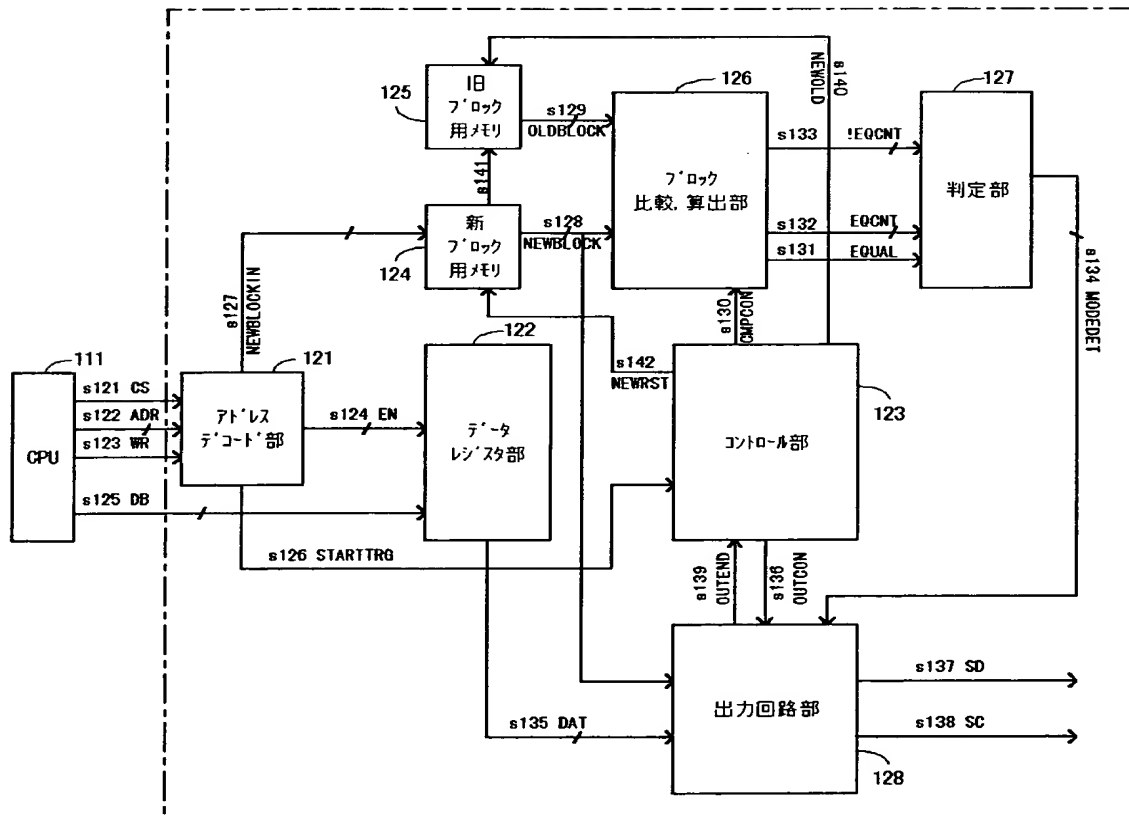


【図 3】

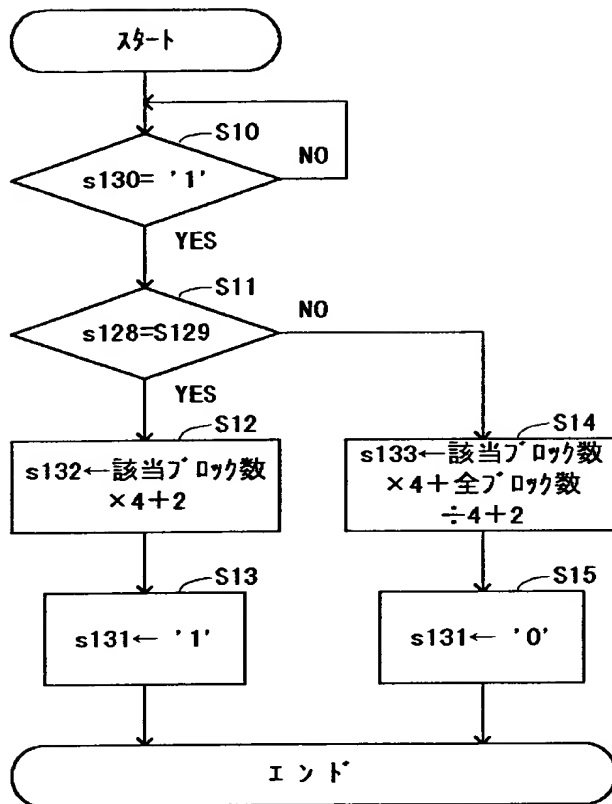


ブロックデータ
アドレス(ブロック情報)

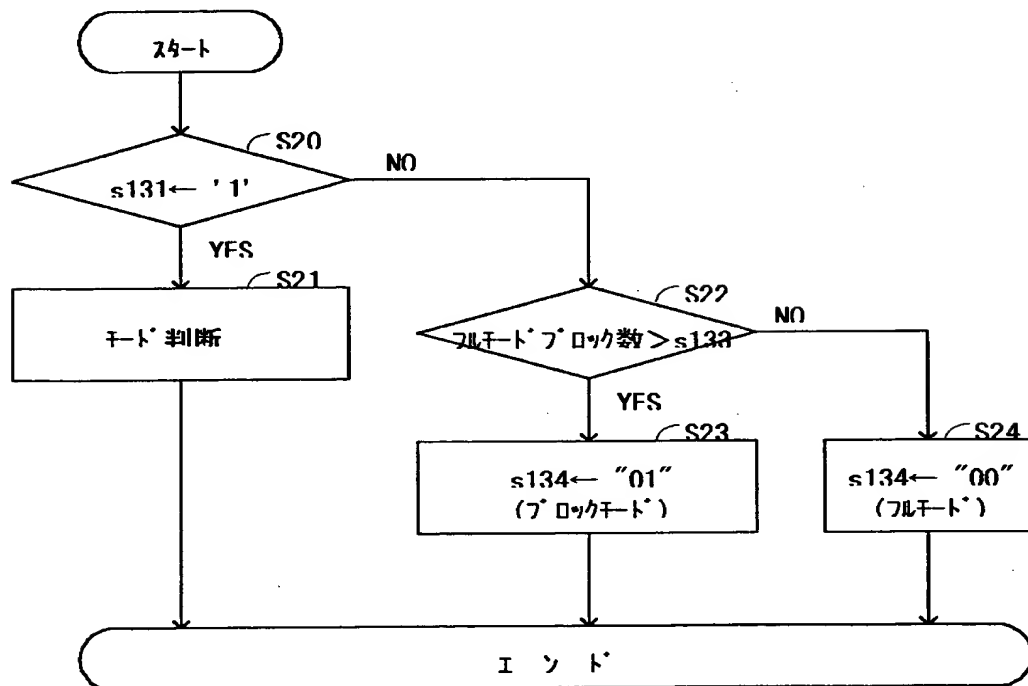
【図 4】



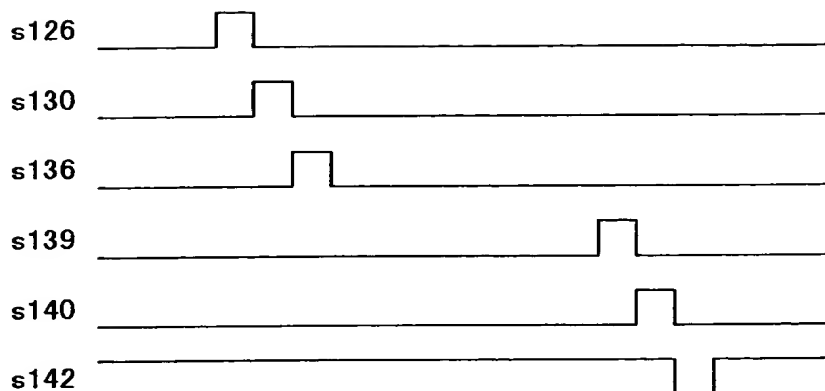
【図 5】



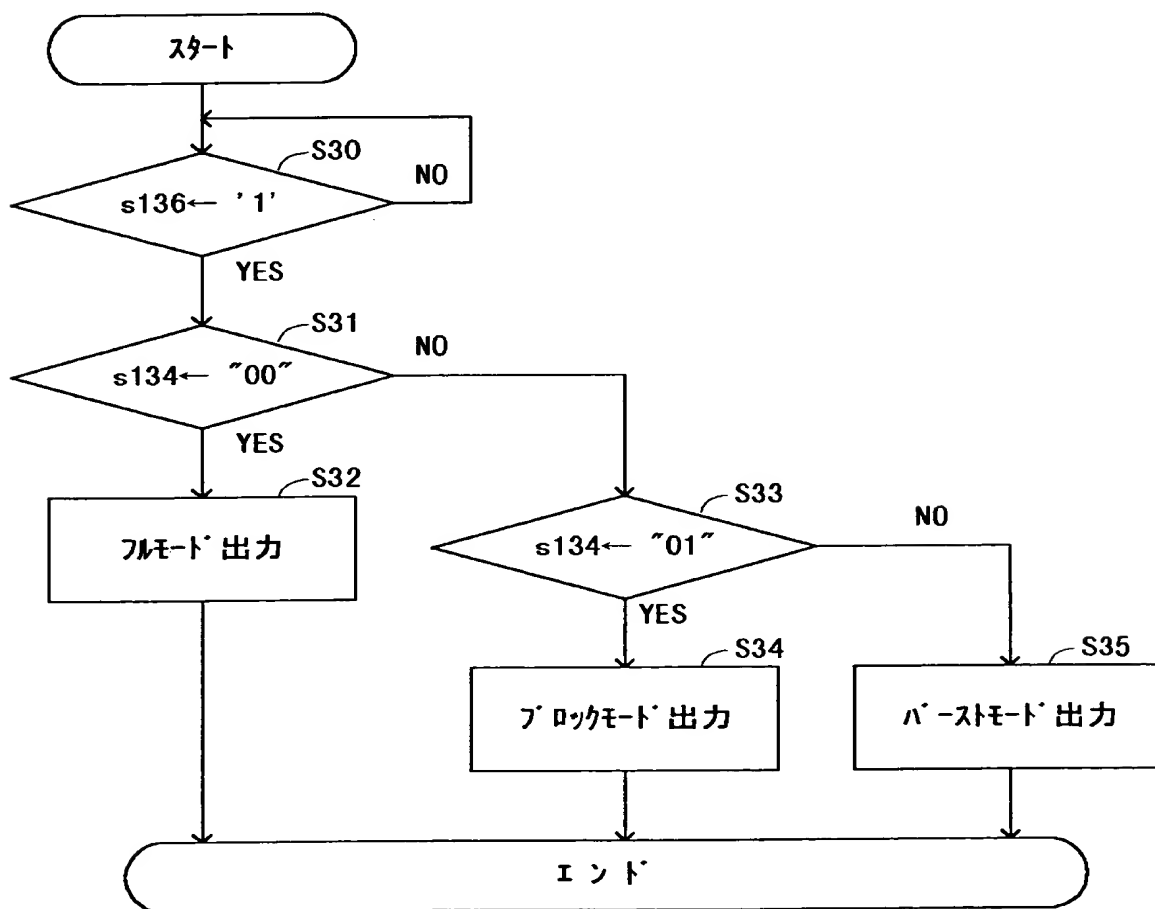
【図 6】



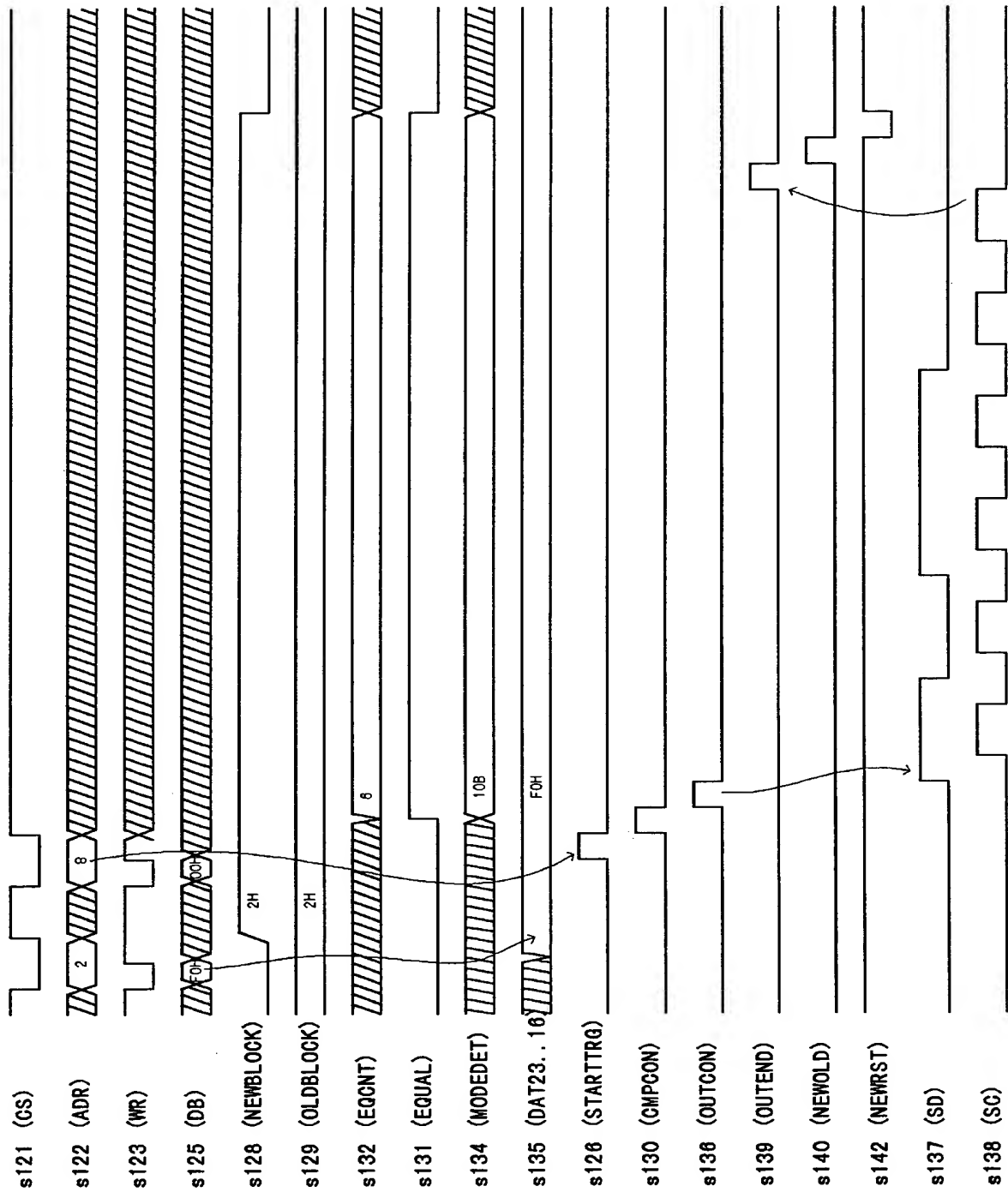
【図 7】



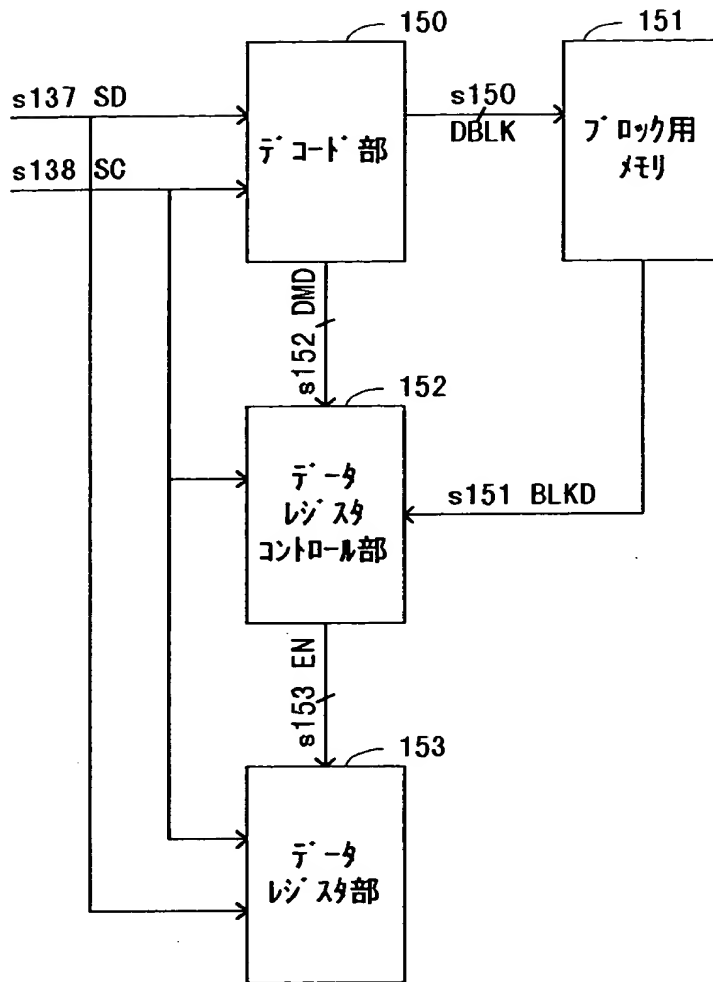
【図 8】



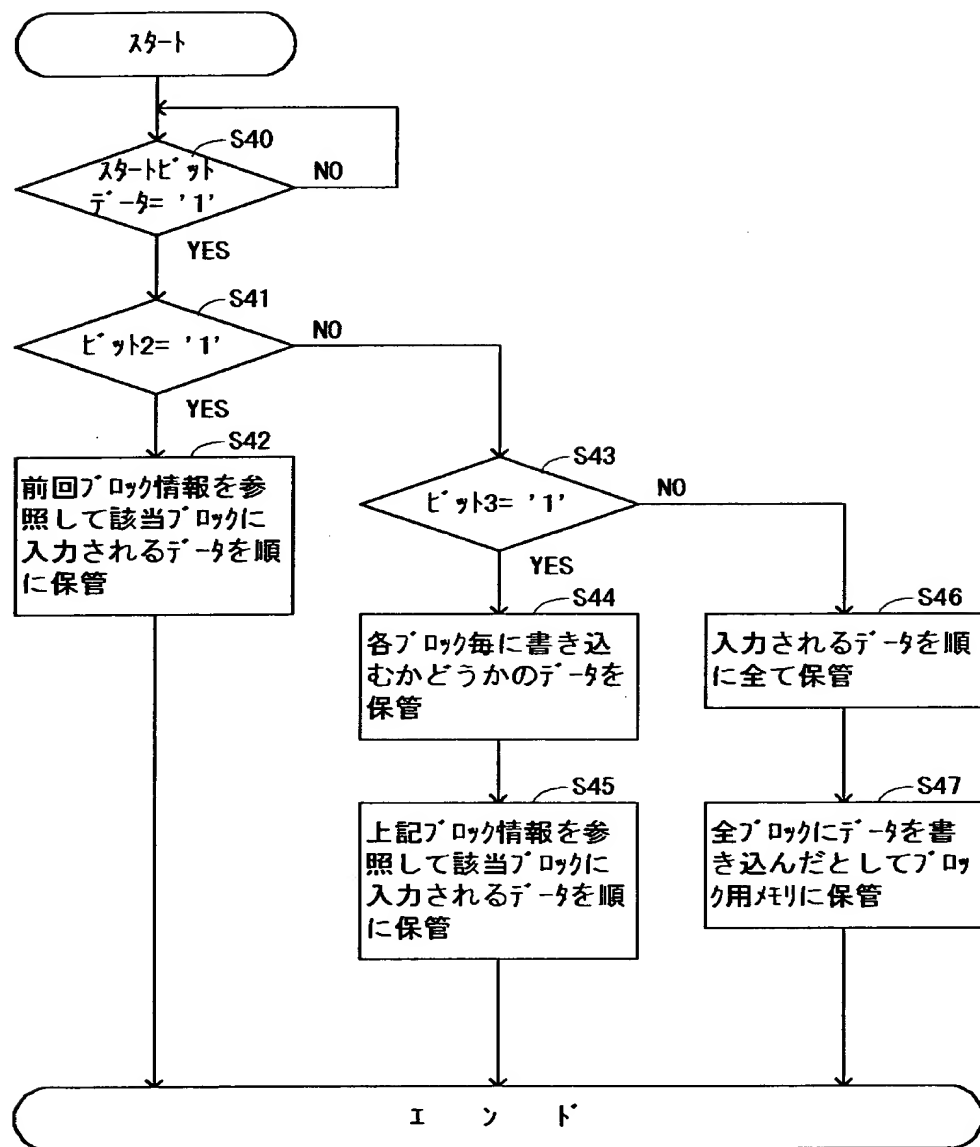
【図 9】



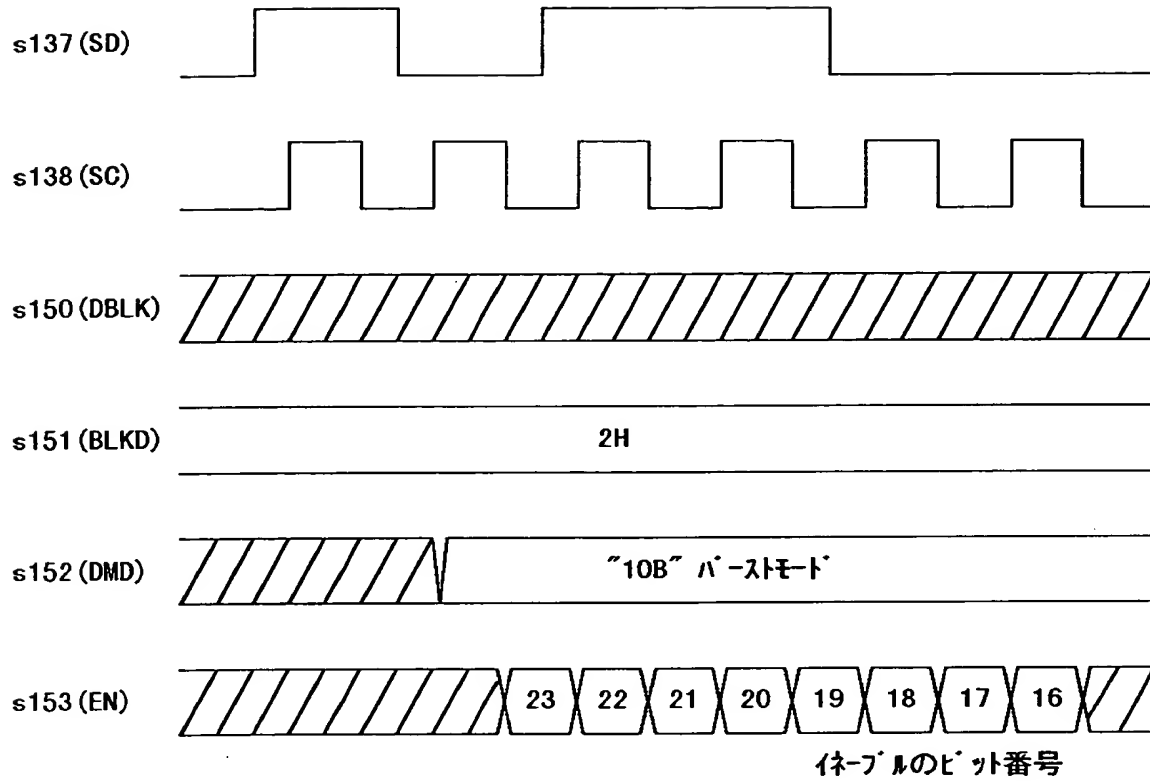
【図 1 0】



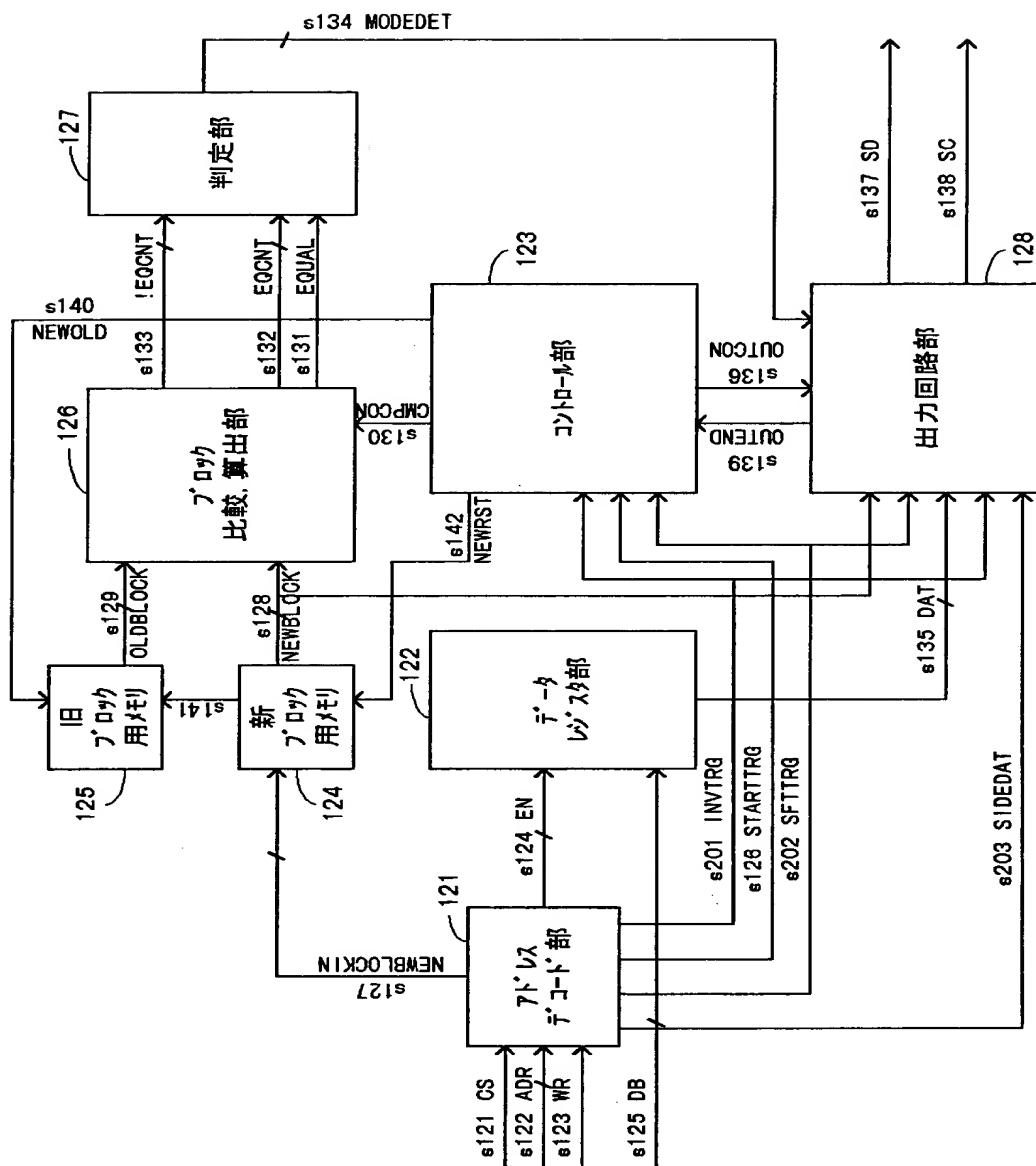
【図 11】



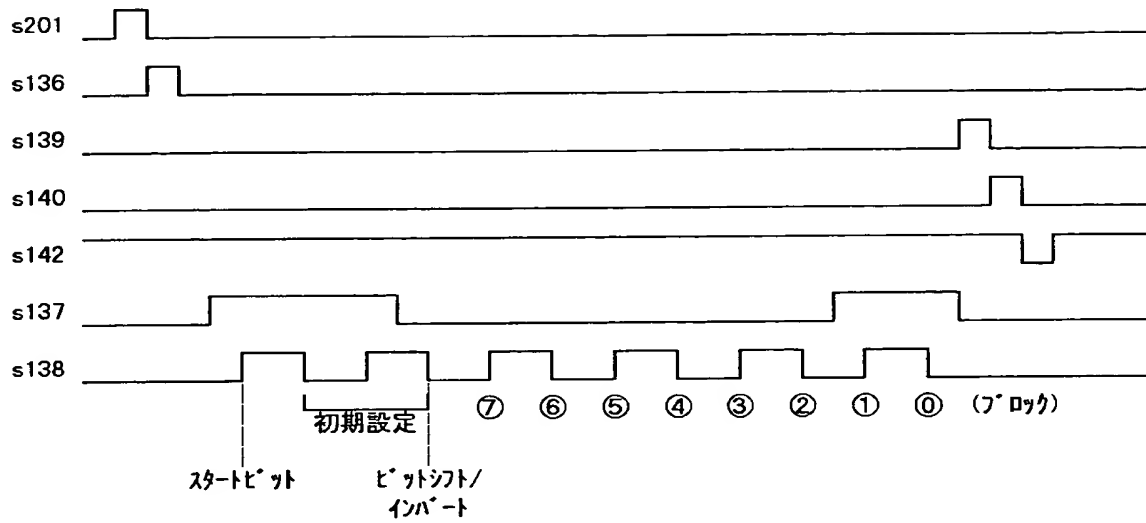
【図 1 2】



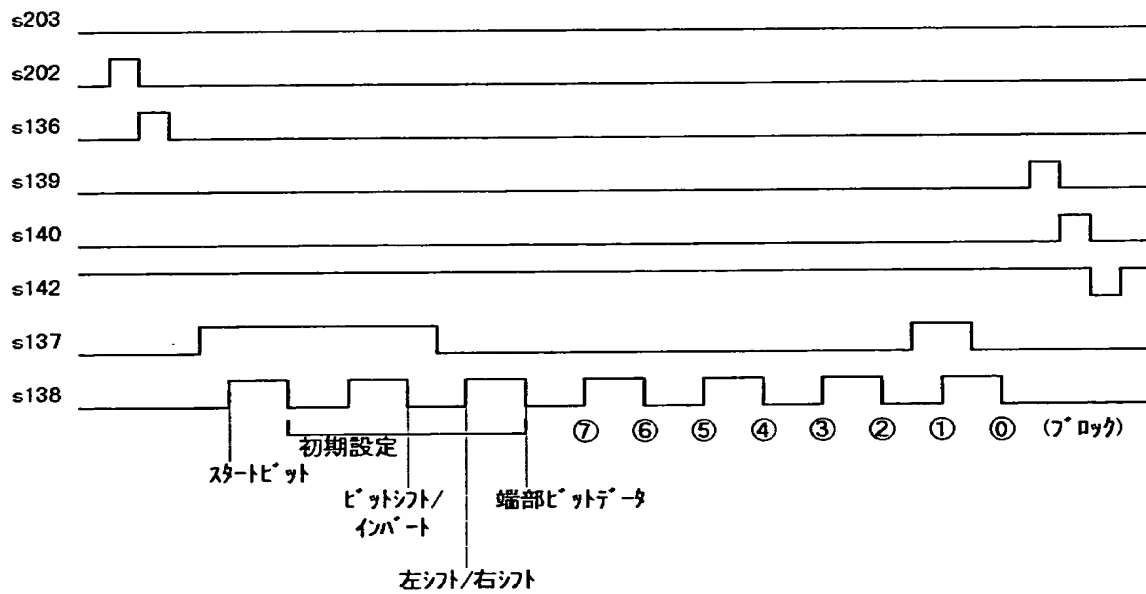
【図 13】



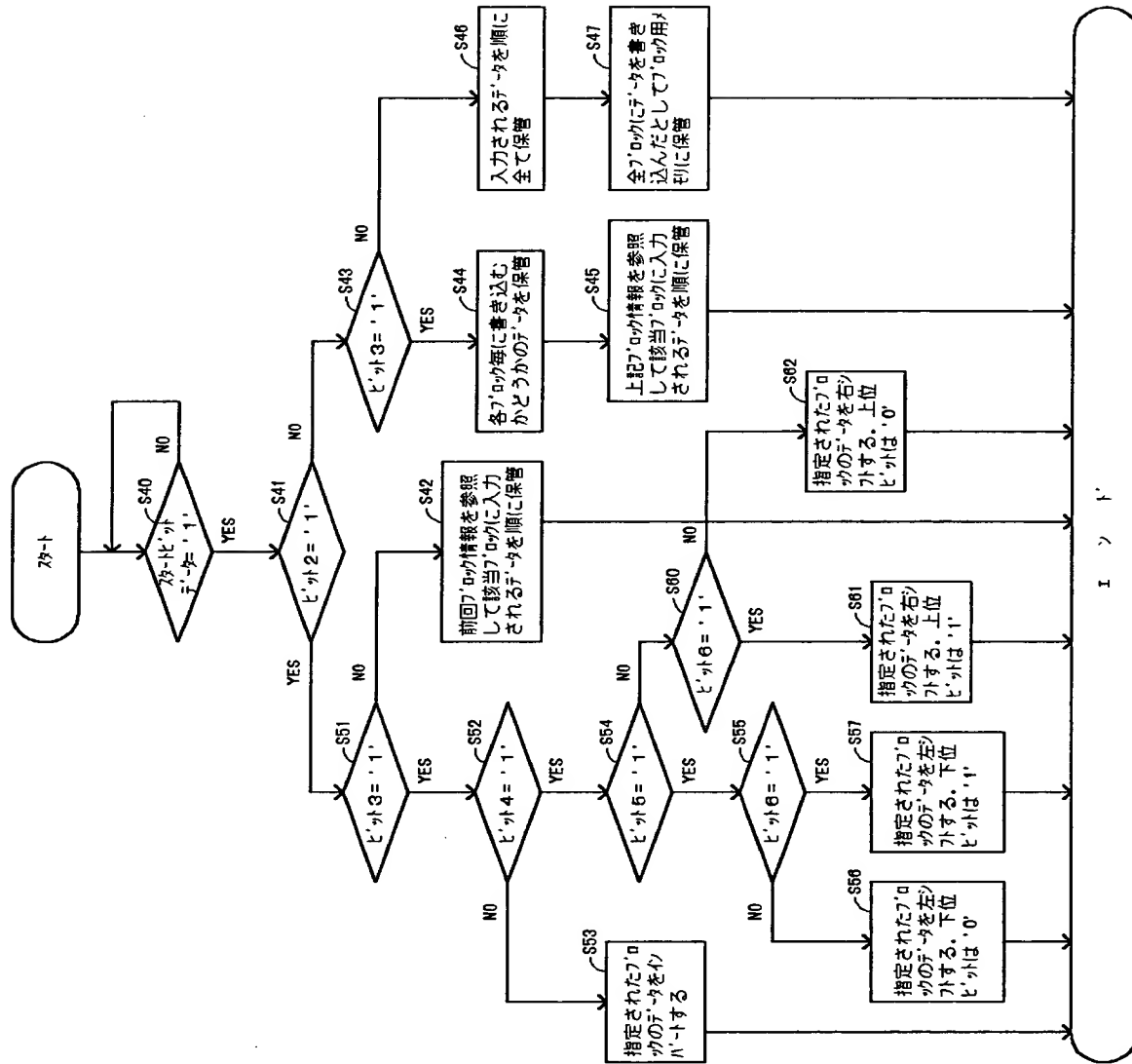
【図 1 4】



【図 1 5】



【図 1 6】



【書類名】 要約書

【要約】

【課題】 シリアルデータの転送速度を速めることができる同期シリアル通信方法及び同期シリアル通信システムを提供する。

【解決手段】 フルモードは、通常の同期式シリアル通信を行うモードである。ブロックモードは、所定の長さのシリアルデータを転送するときに、転送するデータを複数のブロックに区分し、始めにどのブロックを転送するのかを示す情報であるブロック情報を送信し、続いてそのブロック情報によって特定されたブロックに含まれるデータを送信することによりデータを送受するモードである。バーストモードは、今回送信するブロック情報と前回送信したときのブロック情報とを比較して、同じであるときには、ブロック情報を省略して、送信するブロックのデータを送信するモードである。どのモードで転送するかの識別するモード情報を付与して転送する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000001362]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 東京都三鷹市下連雀6丁目3番3号
氏 名 コピア株式会社